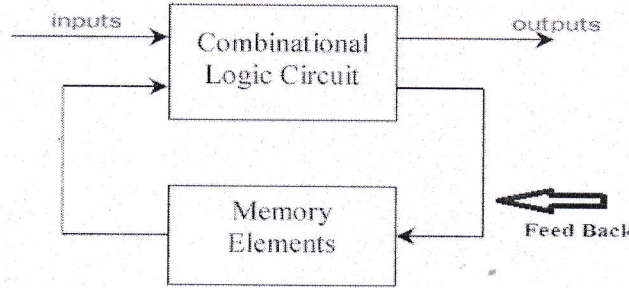


NMDC DAV POLYTECHNIC DANTEWADA

Education City, Jawanga Geedam

Sequential Circuit :- Sequential Circuit वे circuit होते हैं, जिनमें output न केवल उसके वर्तमान input पर निर्भर करता है, बल्कि पूर्व अवस्था(state) पर भी निर्भर करता है. इसीलिए यह कह सकते हैं कि Sequential Circuit में output से input पर कम से कम एक feedback path होता है तथा पुरानी history को store करने के लिए memory elements होते हैं. Sequential Circuit का block diagram चित्र में दर्शाया गया है. Flip-Flops, resistors तथा counters Sequential Circuits होते हैं.



Difference between Sequential Circuits and Combinational Circuits.

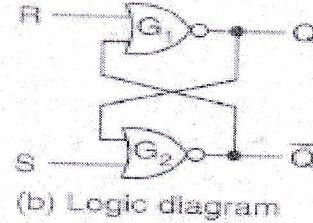
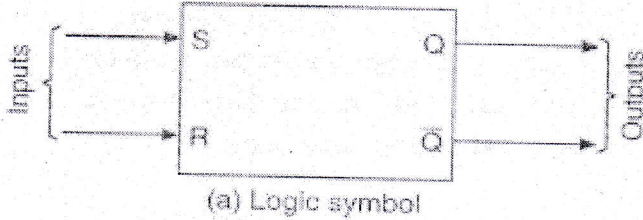
Sequential Circuits एवं Combinational Circuits की तुलना निम्नलिखित निम्नलिखित है.

Sequential Circuits	Combinational Circuits
1) Sequential Circuits का output, वर्तमान input तथा पूर्व output पर निर्भर करता है	1) Combinational Circuits का output, वर्तमान input पर निर्भर करता है
2) Sequential Circuit कम से कम एक memory अवश्य होती है	2) Combinational Circuits में कोई memory अवयव नहीं होता है
3) इसको Combinational Circuit के विस्तार द्वारा बनाया जाता है	3) इसको प्रारंभिक logic circuit के द्वारा बनाया जाता है
4) इसकी Speed, Mater clock द्वारा निर्धारित की जाती है.	4) इसकी Speed, Circuit में प्रयोग किए गए elements पर निर्भर करती है
5) इसमें Combinational Circuit का उपयोग कम कर काम hardware की आवश्यकता होती है	5) इसमें अधिक hardware की आवश्यकता होती है.
6) Flip Flops, Counters and Resistors आदि इसके उदाहरण हैं	6) Adders, Subtractor and Code converters आदि इसके उदाहरण हैं

NMDC DAV POLYTECHNIC DANTEWADA

Education City, Jawanga Geedam

Latch:- Un-clocked Flip Flop को Latch कहते हैं, जिसमें clock pulse नहीं दिया जाता है, यह एक Basic Memory element है जो की एक bit को Store करने में समर्थ है.



S	R	Q_n	Q_{n-1}	State
0	0	0	0	No Change (NC)
0	0	1	1	
0	1	0	0	Reset
0	1	1	0	
1	0	0	1	Set
1	0	1	1	
1	1	0	x	Indeterminate (invalid)
1	1	1	x	

(c) Truth table

S	R	Q	State
0	0	NC	No Change
0	1	0	Reset
1	0	1	Set
1	1		Invalid

Truth Table

जब $S=0$ तथा $R=0$ होता है:-

तब output पूर्व स्टेट के समान रहता है, अतः इस No change condition कहते हैं, अर्थात Q पर कोई प्रभाव नहीं पड़ता है.

जब $S=0$ तथा $R=1$ होता है:-

जब NAND Gate का input $S=0$ (low) और $R=1$ (high) होता है, तब Flip-flop reset condition में होता है, अर्थात output $Q = 0$ होता है

जब $S=1$ तथा $R=0$ होता है:-

जब NOR Gate का input $S=1$ (high) और $R=0$ (low) होता है, तब Flip-flop set condition में होता है, अर्थात output $Q = 1$ होता है

जब $S=1$ तथा $R=1$ होता है:-

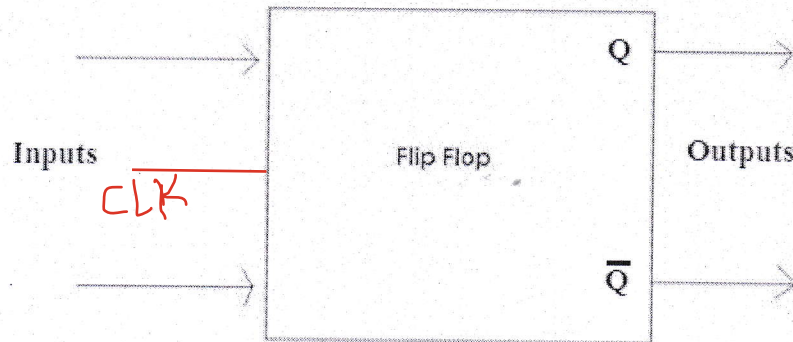
जब NOR Gate का input $S=1$ (high) और $R=1$ (high) होता है, तब Q तथा \bar{Q} दोनों output, 1(high) होते हैं यह अस्थिर अवस्था (unstable State) है, अतः यह एक invalid state कहलाती है.

NMDC DAV POLYTECHNIC DANTEWADA

Education City, Jawanga Geedam

Flip Flop:-

Flip Flop एक ऐसा logic circuit है, जो एक bit को store करने के लिए करने की क्षमता रखता है. इसका output स्थिर होता है. इसके कोई भी दो मान (0 अथवा 1) हो सकते हैं. इन्हें high तथा low, voltage के द्वारा दर्शाया जाता है.



inputs की सहायता से इसके outputs को परिवर्तित किया जाता है. इसकी inputs व उनके outputs flip-flop के प्रकार पर निर्भर करता है. सामान्यतः प्रत्येक flip-flop में तो outputs lines उपलब्ध होती है यह दोनों एक दूसरे के पूरक (compliments) होती हैं. जिन्हें Q तथा \bar{Q} बार से दर्शाया जाता है. output Q एक normal output होता है जबकि output \bar{Q} , flip-flop का एक inverted flip-flop होता है. एक flip-flop में दो या अधिक inputs हो सकते हैं. inputs का प्रयोग flip-flop के output state के बीच में switch करने के लिए किया जाता है. इसके output में परिवर्तन करने के लिए इसके inputs में clock pulse देनी होती है. अर्थात् input pulse हट जाने के बाद भी output, अपनी नई state में बना रहता है, इस तरह से flip-flop, एक memory element के जैसे कार्य करता है. चित्र में एक flip-flop को दर्शाया गया है. यहां Q के रूप में एक bit store होती है.

Types of Flip Flops

- 1) RS Flip Flop
- 2) D Flip Flop
- 3) JK Flip Flop
- 4) T Flip Flop
- 5) Master Slave Flip Flop.

NMDC DAV POLYTECHNIC DANTEWADA

Education City, Jawanga Geedam

Flip Flop के उपयोग(Applications) :-

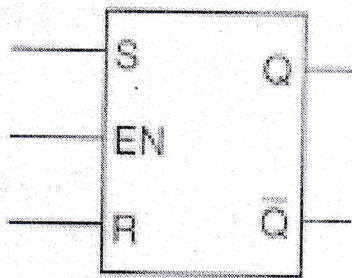
- 1).इसका उपयोग store store करने में किया जाता है.
- 2).इसका उपयोग data को transfer करने में किया जाता है.
- 3).इसका उपयोग latch की तरह होता है
- 4).इसका उपयोग frequency division में किया जाता है.
- 5).इसका उपयोग counters and resistor में किया जाता है.
- 6).इसका उपयोग delay element की तरह किया जाता है

NMDC DAV POLYTECHNIC DANTEWADA

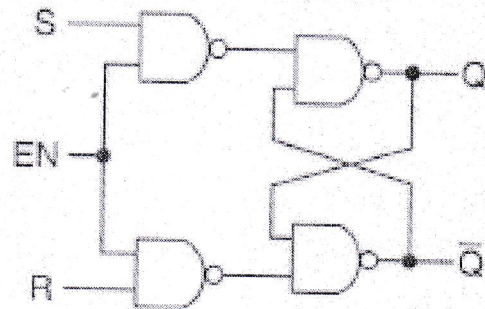
Education City, Jawanga Geedam

RS Flip Flop:-

RS Flip Flop में दो inputs S(Set) तथा R(Reset) और दो output, Q तथा \bar{Q} होते हैं. RS Flip-flop के block diagram को चित्र में दर्शाया गया है. जहां दो output, Q तथा \bar{Q} में परिवर्तन उनके inputs S और R के परिवर्तन पर निर्भर करता है. RS Flip Flop दो cross coupled NOR Gates या NAND Gates की सहायता से निर्मित किया जा सकता है. RS Flip Flop एक मूलभूत Flip Flop है क्योंकि अन्य सभी Flip Flop को इसी की सहायता से बनाया जा सकता है. RS Flip Flop को से SR भी कहते हैं.



(b) Logic symbol



(a) Logic diagram

EN	S	R	Q_n	Q_{n+1}	State
1	0	0	0	0	No change (NC)
1	0	0	1	1	
1	0	1	0	0	Reset
1	0	1	1	0	
1	1	0	0	1	Set
1	1	0	1	1	
1	1	1	0	x	Indeterminate (invalid)
1	1	1	1	x	
0	x	x	0	0	No Change (NC)
0	x	x	1	1	

(c) Truth table

Truth Table			
S	R	Q	State
0	0	NC	No Change
0	1	0	Reset
1	0	1	Set
1	1	INV	Invalid

NMDC DAV POLYTECHNIC DANTEWADA

Education City, Jawanga Geedam

जब $S=0$ तथा $R=0$ होता है और $\text{Enable}(EN) = 1$ होता है :-

तब output पूर्व स्टेट के समान रहता है, अतः इस No change condition कहते हैं, अर्थात Q पर कोई प्रभाव नहीं पड़ता है.

जब $S=0$ तथा $R=1$ होता है और $\text{Enable}(EN) = 1$ होता है:-

जब NAND Gate का input $S=0(\text{low})$ और $R=1(\text{high})$ होता है, तब Flip-flop reset condition में होता है, अर्थात output $Q = 0$ होता है

जब $S=1$ तथा $R=0$ होता है और $\text{Enable}(EN) = 1$ होता है:-

जब NAND Gate का input $S=1(\text{high})$ और $R=0(\text{low})$ होता है, तब Flip-flop set condition में होता है, अर्थात output $Q = 1$ होता है

जब $S=1$ तथा $R=1$ होता है और $\text{Enable}(EN) = 1$ होता है:-

जब NAND Gate का input $S=1(\text{high})$ और $R=1(\text{High})$ होता है, तब Q तथा \bar{Q} दोनों output, 1(high) होते हैं यह अस्थिर अवस्था (unstable State) है, अतः यह एक invalid state कहलाती है.

जब $\text{Enable}(EN) = 0$ होता है:-

तब output पूर्व स्टेट के समान रहता है, अतः इस No change condition कहते हैं, अर्थात Q पर कोई प्रभाव नहीं पड़ता है. inputs S और R का मान जो भी हो output No change State रहता है.